

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 5 月 27 日 (27.05.2004)

PCT

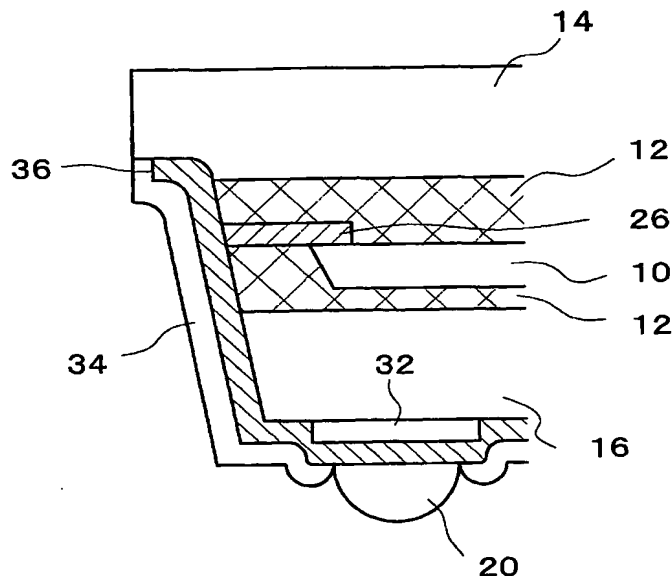
(10) 国際公開番号
WO 2004/044981 A1

- (51) 国際特許分類: H01L 23/12 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/014363 (75) 発明者/出願人 (米国についてのみ): 鈴木 信広 (SUZUKI, Nobuhiro) [JP/JP]; 〒570-8677 大阪府 守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 今井 憲次 (IMAI, Kenji) [JP/JP]; 〒570-8677 大阪府 守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 北村 勇也 (KITAMURA, Isaya) [JP/JP]; 〒570-8677 大阪府 守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 山口 恵一 (YAMAGUCHI, Keiichi) [JP/JP]; 〒570-8677 大阪府 守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP).
(22) 国際出願日: 2003 年 11 月 12 日 (12.11.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2002-327663
2002 年 11 月 12 日 (12.11.2002) JP
(71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒570-8677 大阪府 守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP).
(74) 代理人: 吉田 研二, 外 (YOSHIDA, Kenji et al.); 〒180-0004 東京都 武蔵野市吉祥寺本町 1 丁目 3 番 1 2 号 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体集積装置及びその製造方法



(57) Abstract: A method for manufacturing a semiconductor integrated device comprises steps of forming an integrated circuit device on a semiconductor substrate, forming an inside wiring, forming a groove along a scribe line on the back surface of the semiconductor substrate for exposing a part of the inside wiring, forming a metal film covering at least the groove, forming an outside wiring by patterning the metal film while removing the metal film at the bottom portion of the groove, forming a protective film covering the outside wiring and the bottom portion of the groove, and dividing the semiconductor substrate along the scribe line.

(57) 要約: 半導体基板に集積回路素子を形成し、内部配線を形成し、半導体基板の裏面にスクライブラインに沿って、内部配線の一部を露出させる溝を形成し、少なくとも溝を覆って金属膜を成膜し、金属膜をパターンニングして外部配線を形成すると共に、金属膜を溝の底部で除去し、外部配線及び溝の底部

[続葉有]



(81) 指定国 (国内): CN, US.

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体集積装置及びその製造方法

技術分野

本発明は、素子の側面に金属の外部配線を有する半導体集積装置及びその製造方法に関する。

背景技術

半導体集積装置のチップサイズの小型化を測るために、素子側面から外部配線を取り出したチップサイズパッケージ（ＣＳＰ）が用いられるようになっている。

図１２Ａ及び図１２Ｂにチップサイズパッケージを用いた半導体集積装置の外観図を示す。通常、チップサイズパッケージの半導体集積装置は、半導体チップ１０をエポキシ等の樹脂層１２を介して上部支持基体１４と下部支持基体１６によって挟み込み、その側面から外部配線１８を取り出し、素子の裏面に設けたボール状端子２０に接続した構造を有する。

このような構造を有するチップサイズパッケージの半導体集積装置は、図１３～図１９のように、樹脂層１２を介して半導体チップ１０の両面を上部支持基体１４と下部支持基体１６とで挟み込んだ積層体を形成する積層体形成工程（Ｓ１０）と、下部支持基体１６側からダイシングソー等による切削によって逆Ｖ字型に溝（切り欠き溝）２４を形成して、半導体チップ１０の内部配線２６の端部２８を露出させる切削工程（Ｓ１２）と、溝２４の内面に金属膜３０を成膜する金属膜成膜工程（Ｓ１４）と、その金属膜３０をパターンニングして内部配線２６の端部２８と緩衝部材３２とを接続する外部配線１８を形成するパターンニング工程（Ｓ１６）と、保護膜３４を成膜する保護膜成膜工程（Ｓ１８）と、ボール状端子２０を形成する端子形成工程（Ｓ２０）と、溝２４の底部をスクライブラインとして切断するダイシング工程（Ｓ２２）と、を行うことによって製造される。

発明の開示

上記従来技術によって製造されたチップサイズパッケージの半導体集積装置は、図20の端部拡大図のように、素子側面にある外部配線18の端部36が保護膜34に覆われておらず、素子外部からの腐食が進行し易い問題があった。

その結果、外部配線18が素子側面から剥がれ易く、内部配線26との接触抵抗も大きくなり、半導体集積装置の動作の信頼性が低下する問題を生じていた。

また、ダイシング工程(S22)後に外部配線18の端部36を保護膜で被うには、切断された半導体集積装置の個々に対して保護膜の塗布処理を別途行う必要があるため、製造のスループットを著しく低下させる原因となっていた。

本発明は、上記従来技術の問題を鑑みて、上記課題の少なくとも1つを解決すべく、素子側面にある外部配線の腐食を防ぐことが出来る半導体集積装置及びその製造方法を提供することを目的とする。

本発明は、スクライプラインによって区画された半導体基板の各領域に集積回路素子を形成する第1の工程と、隣接する集積回路素子の境界方向に延在して内部配線を形成する第2の工程と、前記半導体基板の裏面に前記スクライプラインに沿って、前記内部配線の一部を露出させる溝を形成する第3の工程と、前記半導体基板の裏面及び前記溝を覆って金属膜を成膜する第4の工程と、前記金属膜をパターンニングして外部配線を形成すると共に、前記金属膜を前記溝の底部で除去する第5の工程と、前記外部配線及び前記溝の底部を覆って保護膜を成膜する第6の工程と、前記スクライプラインに沿って前記半導体基板を分割する第7の工程とを含むことを特徴とする半導体集積装置の製造方法である。

本発明の別の形態は、半導体基板に集積回路素子が形成される半導体チップと、前記半導体基板上に形成され、前記半導体基板の側辺まで延在する内部配線と、前記半導体チップの側面を迂回して配置され、前記内部配線と接続される外部配線と、を有し、前記外部配線の端部が保護膜に覆われてなることを特徴とする半導体集積装置である。

図面の簡単な説明

図 1 は、本発明の実施の形態における集積回路素子形成工程を示す図である。

図 2 は、本発明の実施の形態における内部配線形成工程を示す図である。

図 3 は、本発明の実施の形態における積層体形成工程を示す図である。

図 4 は、本発明の実施の形態における切削工程を示す図である。

図 5 は、本発明の実施の形態における金属膜成膜工程を示す図である。

図 6 は、本発明の実施の形態におけるパターンニング工程を示す図である。

図 7 は、本発明の実施の形態における保護膜成膜工程を示す図である。

図 8 は、本発明の実施の形態における端子形成工程を示す図である。

図 9 は、本発明の実施の形態におけるダイシング工程を示す図である。

図 10 は、本発明の実施の形態におけるパターンニング工程での金属膜の除去の様子を示す図である。

図 11 は、本発明の実施の形態における半導体集積装置の端部拡大図である。

図 12 A、図 12 B は、チップサイズパッケージの半導体集積装置の外観を示す図である。

チップサイズパッケージの半導体集積装置の外観を示す図である。

図 13 は、背景技術における積層体形成工程を示す図である。

図 14 は、背景技術における切削工程を示す図である。

図 15 は、背景技術における金属膜成膜工程を示す図である。

図 16 は、背景技術におけるパターンニング工程を示す図である。

図 17 は、背景技術における保護膜成膜工程を示す図である。

図 18 は、背景技術における端子形成工程を示す図である。

図 19 は、背景技術におけるダイシング工程を示す図である。

図 20 は、背景技術における半導体集積装置の端部拡大図である。

発明を実施するための最良の形態

本発明の実施の形態における半導体集積装置の製造方法は、図 1 ～図 9 に示すように、集積回路素子形成工程 (S 30)、内部配線形成工程 (S 32)、積層体形成工程 (S 34)、切削工程 (S 36)、金属膜成膜工程 (S 38)、パターンニング工程 (S 40)、保護膜成膜工程 (S 42)、端子形成工程 (S 44) 及びダ

イシング工程（S 4 6）とから基本的に構成される。

ステップ S 3 0 の集積回路素子形成工程は、図 1 のように、スクライブラインによって区画された半導体基板 1 0（ウエハ）の各領域に集積回路素子を形成する。半導体基板 1 0 は、シリコン、砒化ガリウム等の一般的な半導体材料とすることができ、集積回路素子の形成は、周知の半導体プロセスによって行うことができる。

ステップ S 3 2 の内部配線形成工程は、図 2 のように、半導体基板 1 0 の表面に、隣接する集積回路素子の境界方向に延在するように、酸化膜を介して内部配線 2 6 を形成する。この内部配線 2 6 は、酸化膜中に形成されるコンタクトホールを介して集積回路素子と電氣的に接続される。

また、内部配線 2 6 の材料としては、銀、金、銅、アルミニウム、ニッケル、チタン、タンタル、タングステン等の半導体装置に対して一般的に用いられる材料を主材料とすることができる。電氣的抵抗値や材料の加工性を考慮した場合にはアルミニウムを用いることが好適である。また、素子外部からの腐食を避けるために銅を 0.1 原子%以上 20 原子%以下の範囲で含むアルミニウムを用いることがより好適である。

また、内部配線 2 6 の膜厚は、後に形成される外部配線との接触抵抗を低減すめために 1 μ m 以上とすることが好ましい。一方、配線の加工精度を高くし、かつ成膜時間を短くするために 10 μ m 以下とすることが好ましい。

ステップ S 3 4 の積層体形成工程では、図 3 のように、集積回路素子が形成された半導体基板 1 0 の表裏面にエポキシ接着剤等の樹脂層 1 2 を塗布し、上部支持基体 1 4 と下部支持基体 1 6 とで挟み込んで積層体を形成する。

このとき、半導体基板 1 0 を裏面側から機械研磨、化学的研磨等でグラインドして半導体基板 1 0 の厚みを薄くし、半導体基板 1 0 を裏面側からスクライブラインに沿ってエッチングして内部配線 2 6 が積層される酸化膜の表面が露出するように加工する。

上部支持基体 1 4 及び下部支持基体 1 6 は、ガラス、プラスチック、金属又はセラミック等の半導体装置のパッケージングに用いられる材料から適宜選択して用いることができる。例えば、固体撮像素子をシリコン基板上に形成した場合に

は、上部支持基体としては透明なガラスやプラスチックを選択することが好適である。

次いで、下部支持基体 16 の表面上に、後の工程でボール状端子 20 を形成する位置に緩衝部材 32 を形成する。この緩衝部材 32 は、ボール状端子 20 に係る応力を緩和するクッションの役割を果たす。緩衝部材 32 の材料としては、柔軟性を有し、且つ、パターンニングが可能な材料が適し、感光性エポキシ樹脂を用いるのが好適である。

ステップ S 36 の切削工程では、図 4 のように、下部支持基体 16 側から上部支持基体 14 に達するまでダイシングソー等によって逆 V 字型に溝（切り欠き溝）24 を形成する。その結果、溝 24 の内面に内部配線 26 の端部 28 が露出する。

ステップ S 38 の金属膜成膜工程では、図 5 のように、溝 24 が形成された下部支持基体 16 側に金属膜 30 を成膜する。この金属膜 30 は溝 24 の底面及び側面にも成膜され、下記のパターンニング工程において形状加工されることによって内部配線 26 を外部に引き出す外部配線 18 となる。

金属膜 30 の材料としては、銀、金、銅、アルミニウム、ニッケル、チタン、タンタル、タングステン等の半導体装置に対して一般的に用いられる材料を主材料とすることができる。電氣的抵抗値や材料の加工性を考慮した場合にはアルミニウムを用いることが好適である。また、素子外部からの腐食を避けるために銅を 0.1 原子%以上 20 原子%以下の範囲で含むアルミニウムを用いることがより好適である。

ステップ S 40 のパターンニング工程では、図 6 のように、金属膜 30 を所定の配線パターンにパターンニングして外部配線 18 の形状加工を行う。パターンニングには、既存のフォトリソグラフィ技術、エッチング技術を用いることができる。

ステップ S 40 においては、パターンニングと同時に、さらに溝 24 の底面に成膜された金属膜 30 の除去を行う。すなわち、図 10 に示すように、溝 24 の底部分以外を被うようにレジストパターン 38 を形成し、このレジストパターン 38 をマスクとしてエッチングを行って溝 24 の底面の金属膜 30 を除去する。

ステップS 4 2の保護膜成膜工程では、図7のように、下部支持基体1 6側の緩衝部材3 2以外の領域を覆うように保護膜3 4を成膜する。保護膜3 4としては、パターンニングできる材料が適しているため、緩衝部材3 2と同じ感光性エポキシ樹脂等を用いることができる。

ステップS 4 4の端子形成工程では、図8のように、下部支持基体1 6の緩衝部材3 2上に外部端子としてボール状端子2 0を形成する。ボール状端子2 0は、例えば、はんだ材料で形成され、既存の手法を用いて形成することができる。

ステップS 4 6のダイシング工程では、図9のように、溝2 4の底部をスクライプラインとしてダイシングソー等を用いて積層体を切断して、個々の半導体集積装置に分断する。

このとき、切断幅がステップS 3 0における金属膜3 0の除去幅よりも狭くなるようなダイシングソーを選択して用いる。これにより、外部配線1 8の端部3 6が、分割された後の半導体集積装置の側面よりも内側に位置し、外部配線1 8の端部3 6が保護膜3 4によって覆われることになる。尚、切断幅が金属膜3 0の除去幅よりも狭くなるようなダイシングソーが選択できない場合には、ステップS 3 0において、予め金属膜3 0を幅広く除去するようにしても良い。

以上のように、本実施の形態の半導体集積装置の製造方法によれば、図1 1の端部拡大図のように、装置側面に外部配線1 8を有するチップサイズパッケージの半導体集積装置において、装置側面の外部配線1 8の端部3 6が保護膜3 4によって完全に覆われる構造となる。

従って、装置外部からの腐食が進行し難く、外部配線1 8の剥がれや内部配線2 6との接触抵抗の劣化を防ぐことができる。その結果、半導体集積装置の動作の信頼性を向上することができる。

また、半導体集積装置の個々に対して保護膜を塗布する処理においても別途行う必要がなく、製造のスループットを低下させることもない。

なお、本実施の形態では、ボールグリッドアレイ(BGA)型のチップサイズパッケージを例として説明を行ったが、素子側面に外部配線を有する半導体集積装置であれば同様に製造することによって同様の構造を得ることが可能であり、同様の効果を得ることができる。

本実施の形態によれば、素子側面に外部配線を有する半導体集積装置であって、製造工程を増やすことなく、配線の腐食がない半導体集積装置及びその製造方法を提供することができる。

請 求 の 範 囲

1. スクライプラインによって区画された半導体基板の各領域に集積回路素子を形成する第1の工程と、

隣接する集積回路素子の境界方向に延在して内部配線を形成する第2の工程と、

、

前記半導体基板の裏面に前記スクライプラインに沿って、前記内部配線の一部を露出させる溝を形成する第3の工程と、

前記半導体基板の裏面及び前記溝を覆って金属膜を成膜する第4の工程と、

前記金属膜をパターンニングして外部配線を形成すると共に、前記金属膜を前記溝の底部で除去する第5の工程と、

前記外部配線及び前記溝の底部を覆って保護膜を成膜する第6の工程と、

前記スクライプラインに沿って前記半導体基板を分割する第7の工程と、を含むことを特徴とする半導体集積装置の製造方法。

2. 請求項1に記載の半導体集積装置の製造方法において、

前記第7の工程は、前記溝の底部よりも幅の狭い切断幅で前記半導体基板を分割することを特徴とする半導体集積装置の製造方法。

3. 請求項1に記載の半導体集積装置の製造方法において、

前記第5の工程は、前記溝の底部上の前記金属膜を前記第6の工程での分割時の切断幅よりも幅広に除去することを特徴とする半導体集積装置の製造方法。

4. 半導体基板に集積回路素子が形成される半導体チップと、

前記半導体基板上に形成され、前記半導体基板の側辺まで延在する内部配線と

、

前記半導体チップの側面を迂回して配置され、前記内部配線と接続される外部配線と、を有し、

前記外部配線の端部が保護膜に覆われてなることを特徴とする半導体集積装置

。

5. 請求項 4 に記載の半導体集積装置において、

前記外部配線の端部が当該半導体集積装置の側面よりも内側に位置することを特徴とする半導体集積装置。

6. 請求項 4 に記載の半導体集積装置において、

前記外部配線は、銅が添加されたアルミニウムからなることを特徴とする半導体集積装置。

7. 請求項 4 に記載の半導体集積装置において、

前記内部配線は、銅が添加されたアルミニウムからなることを特徴とする半導体集積装置。

図1

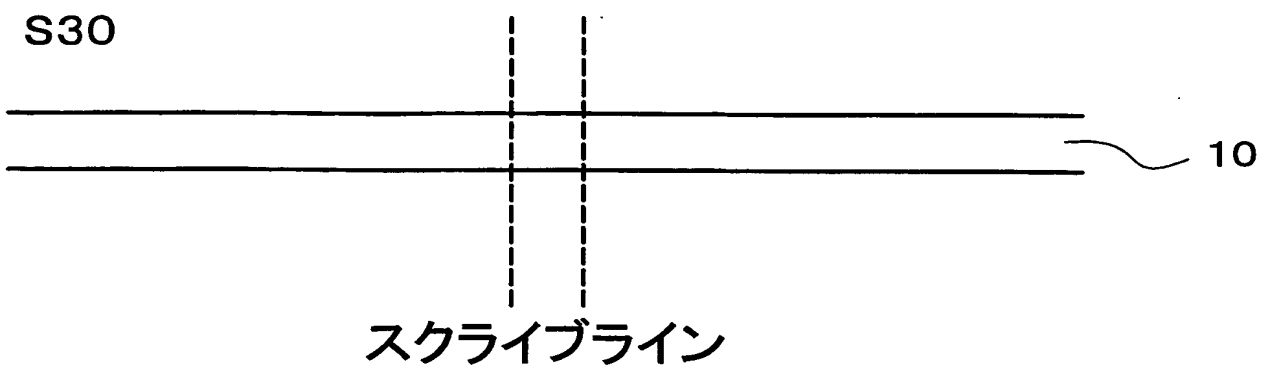


図2

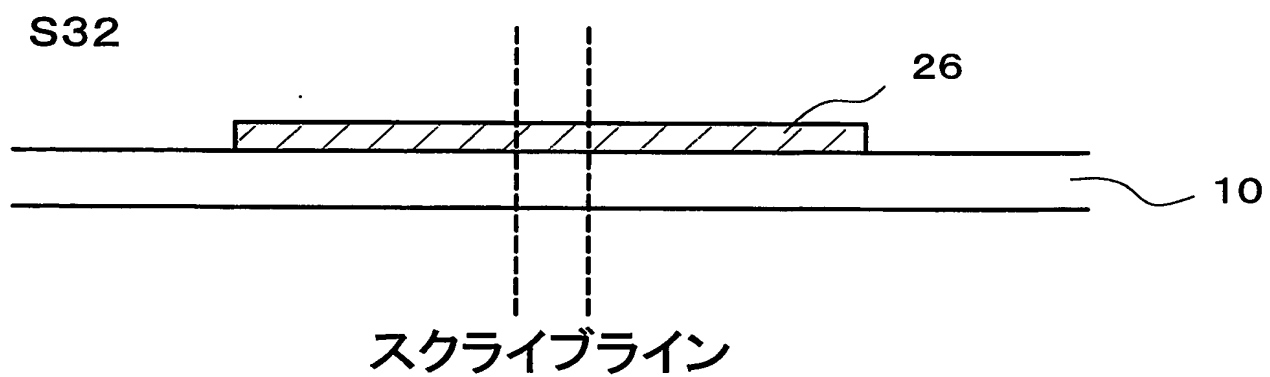


図3

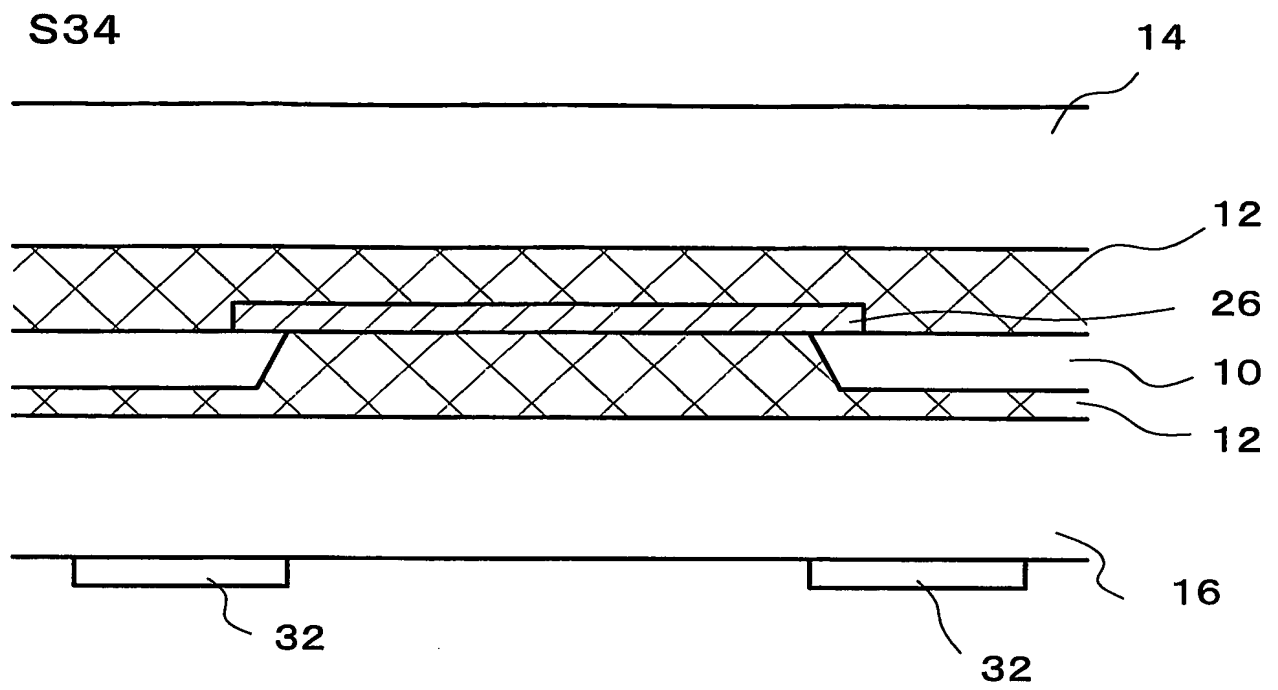


図4

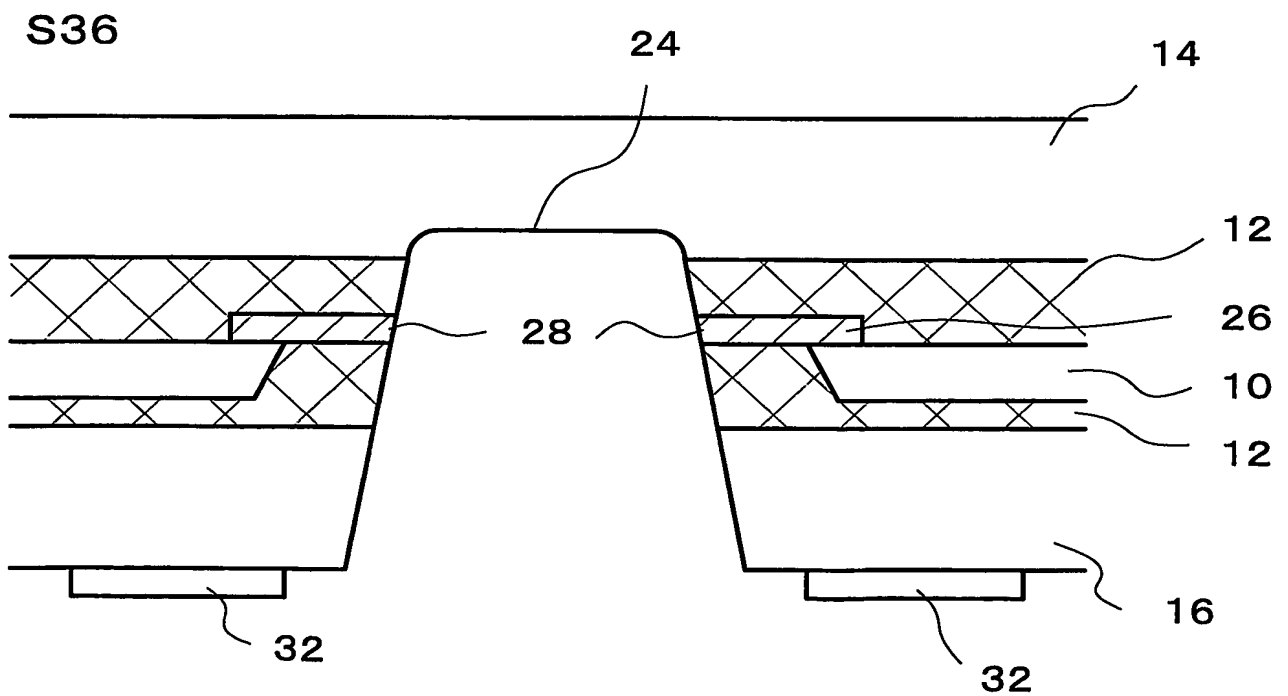


図5

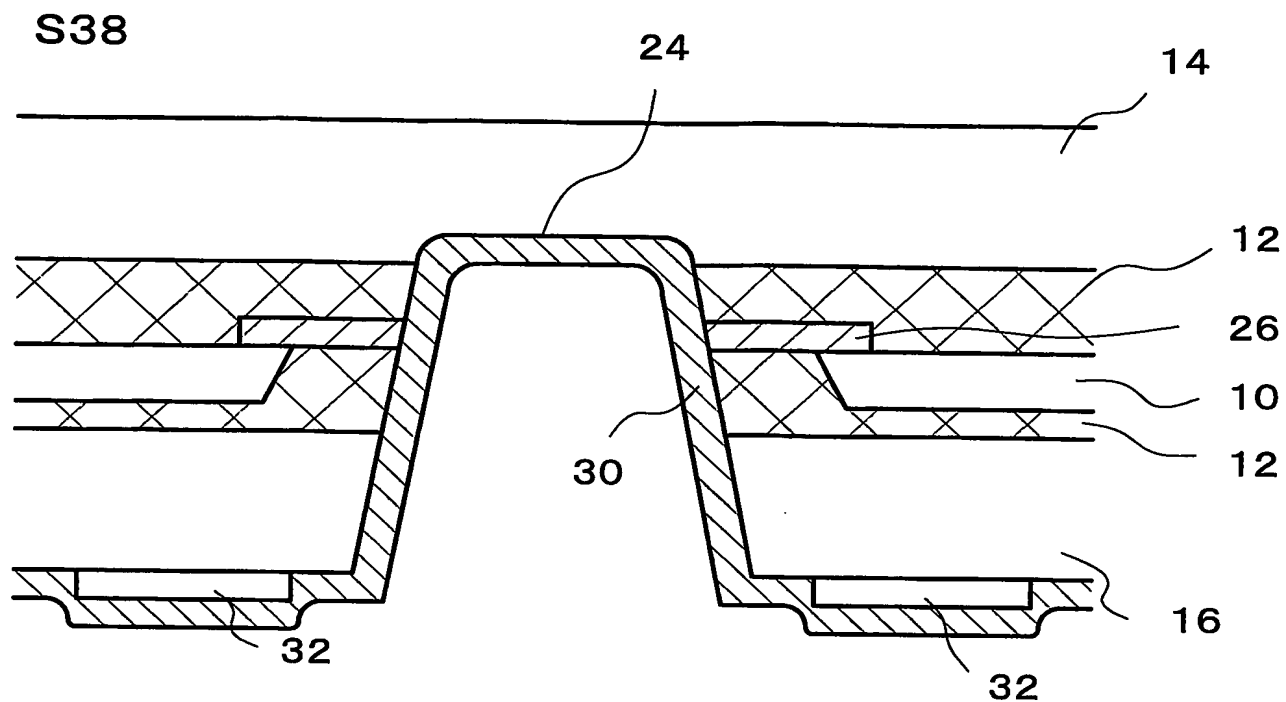


図6

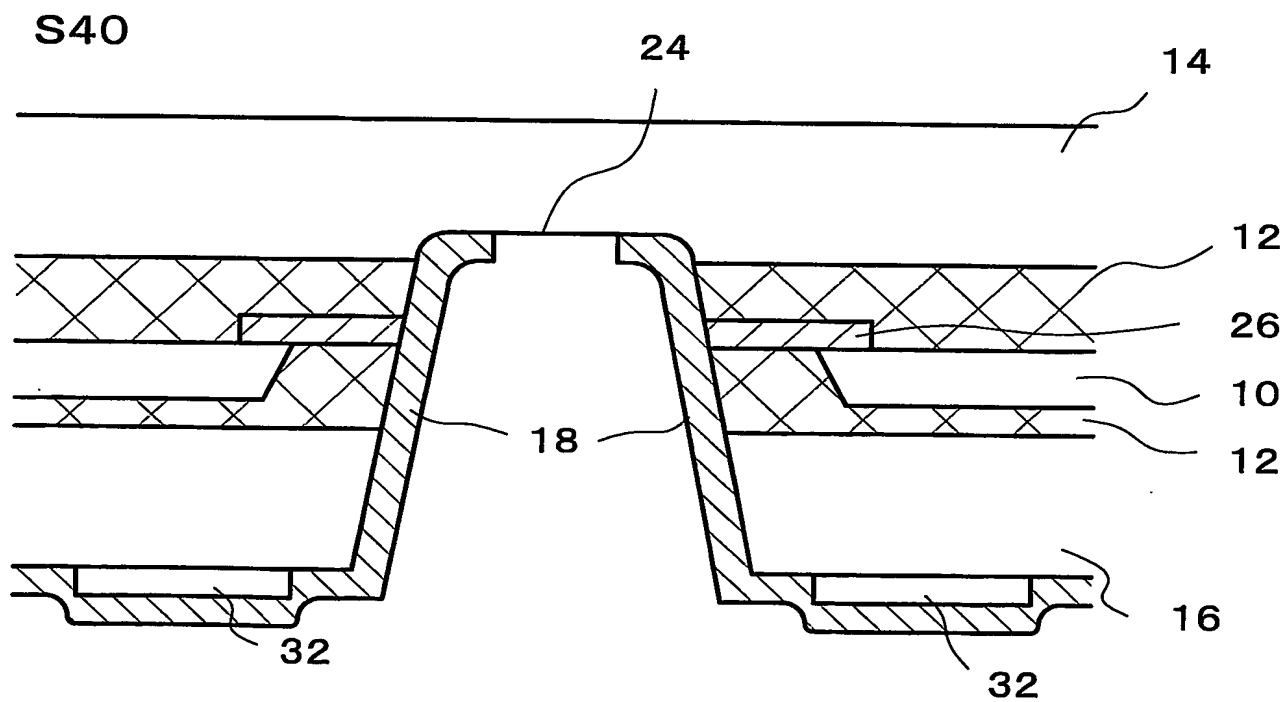


図7

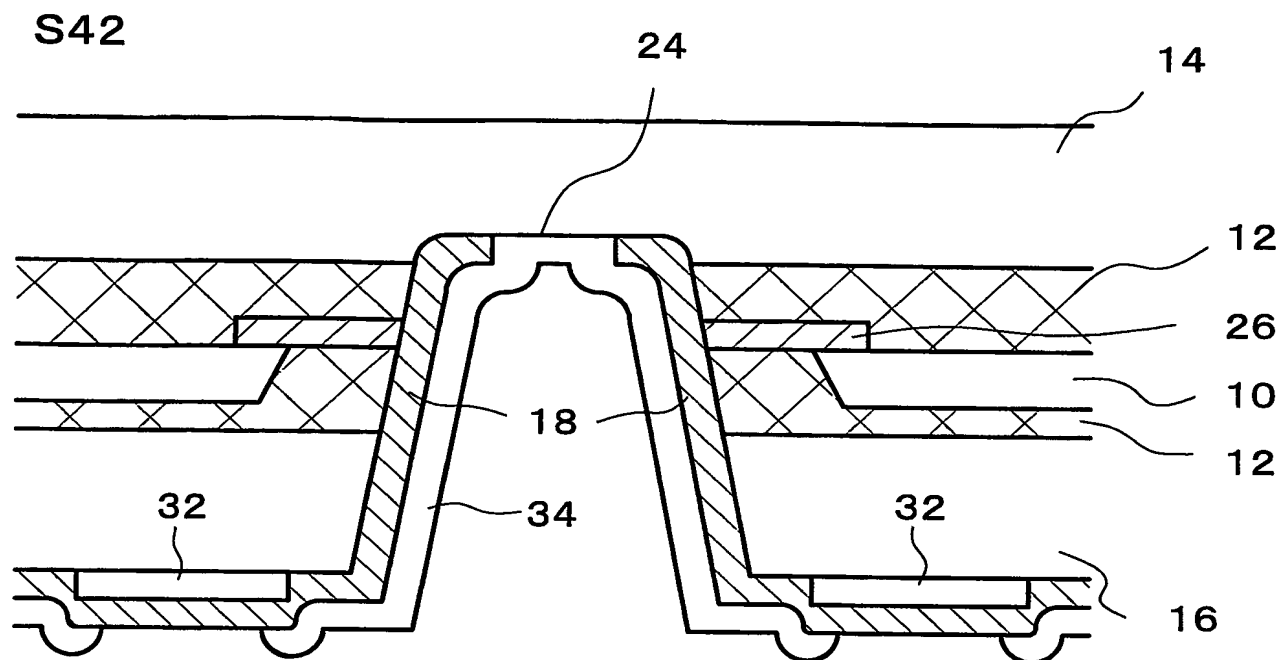


図8

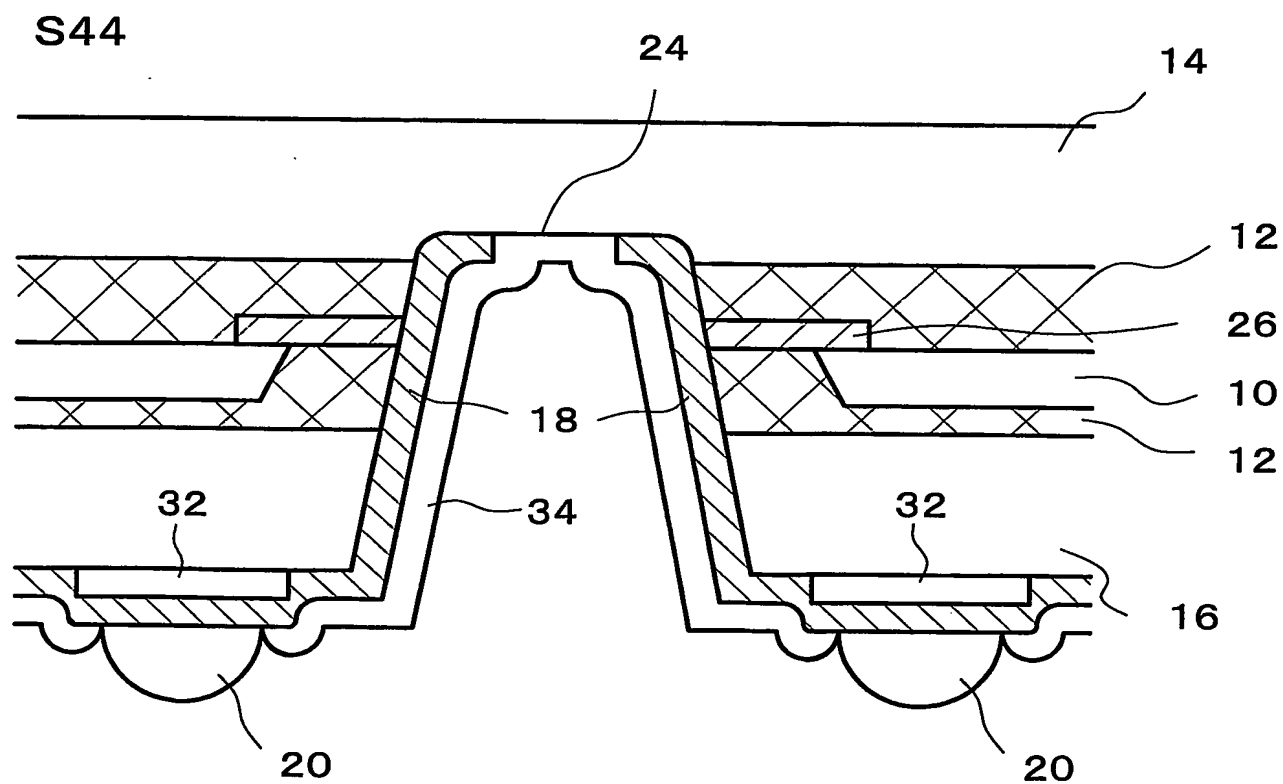


図9

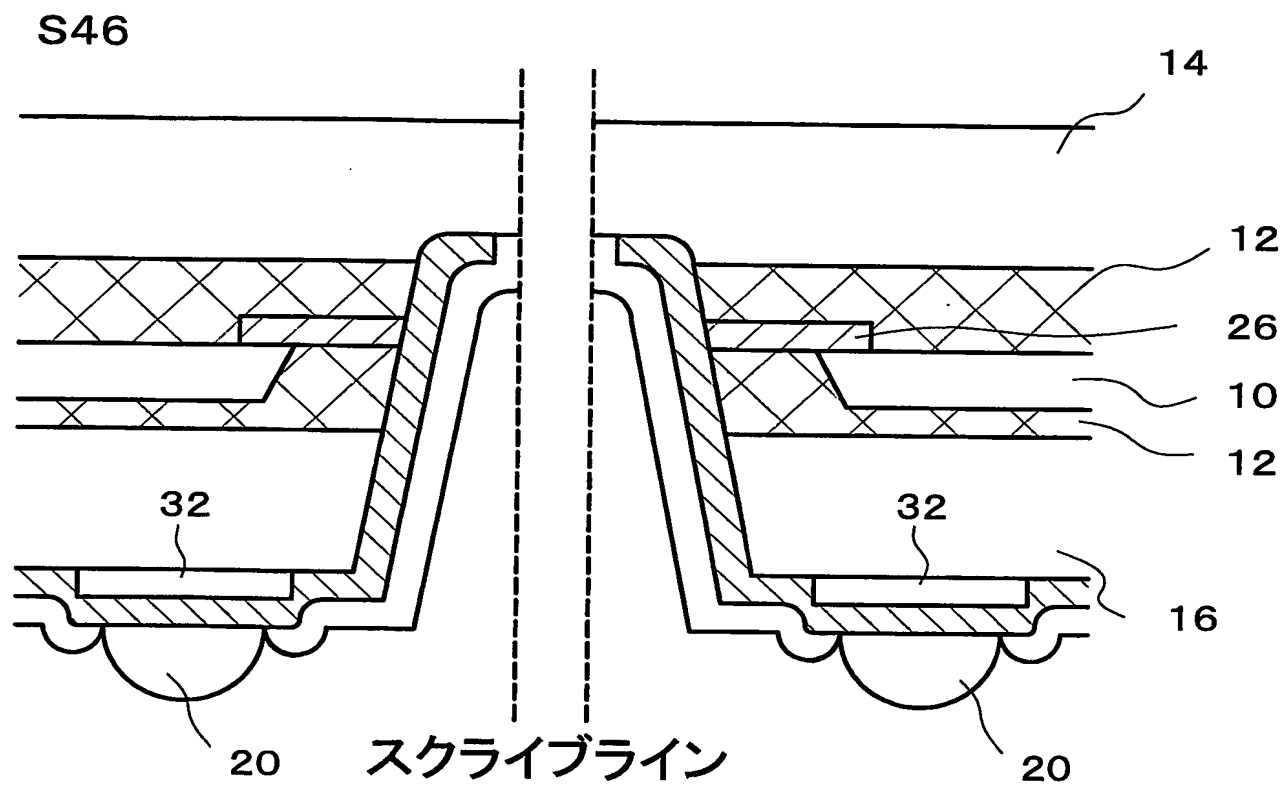


図10

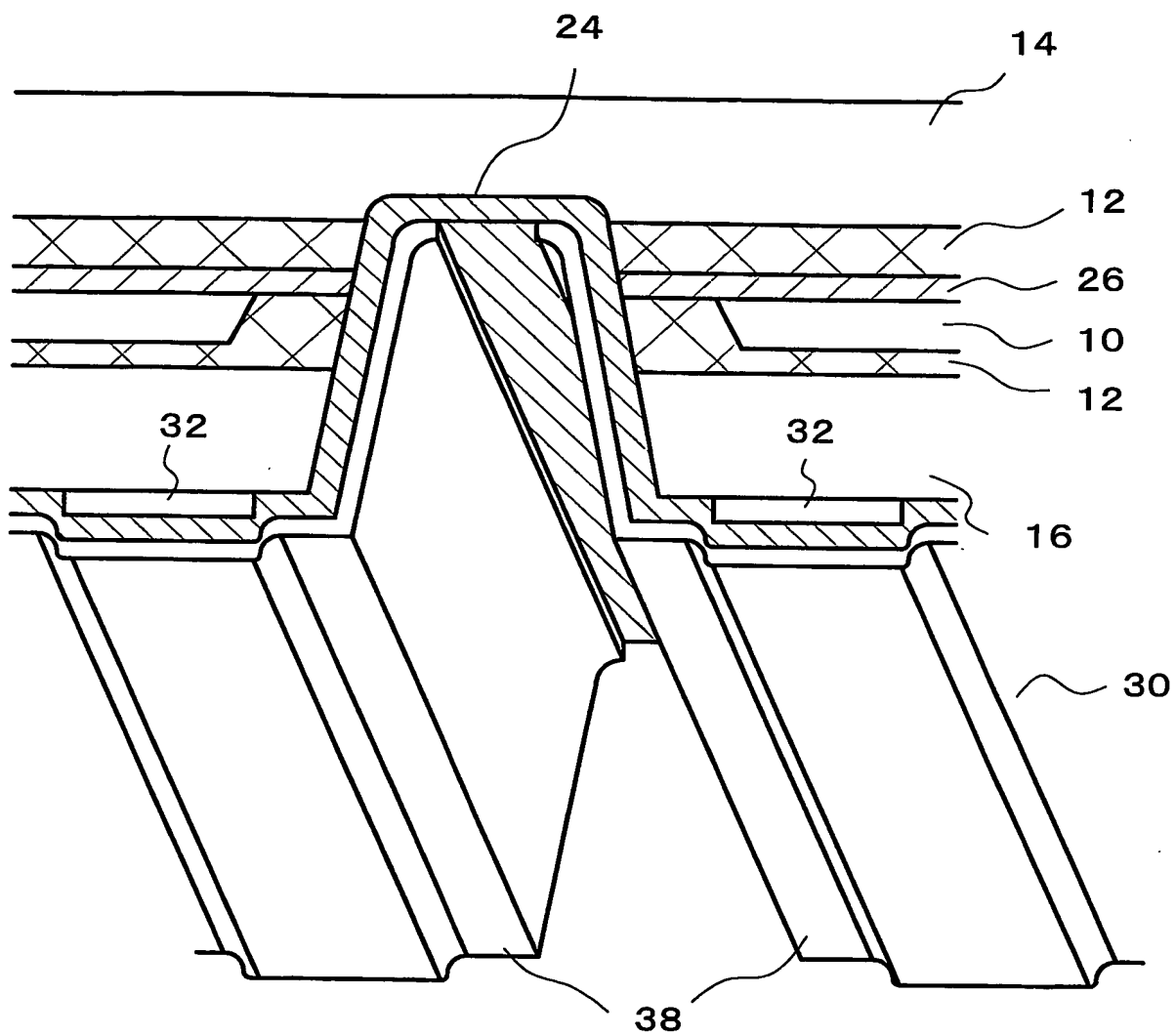


図 11

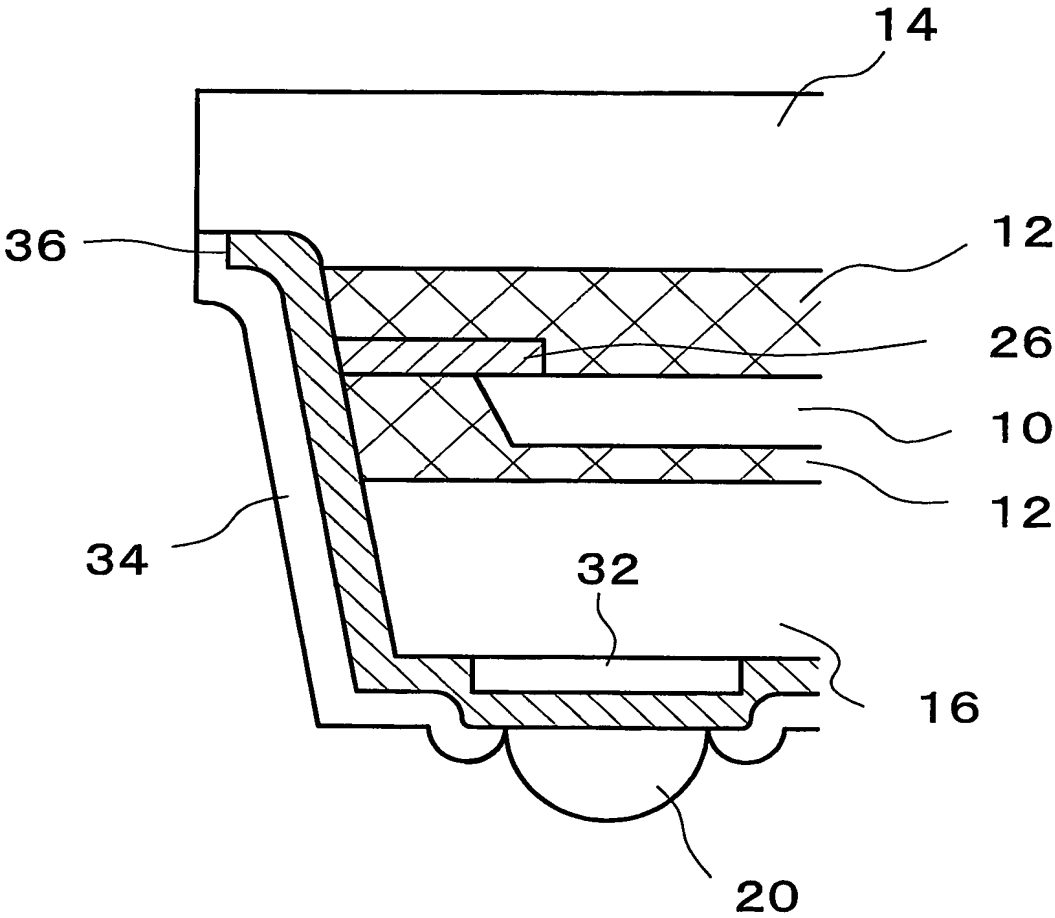


図12A

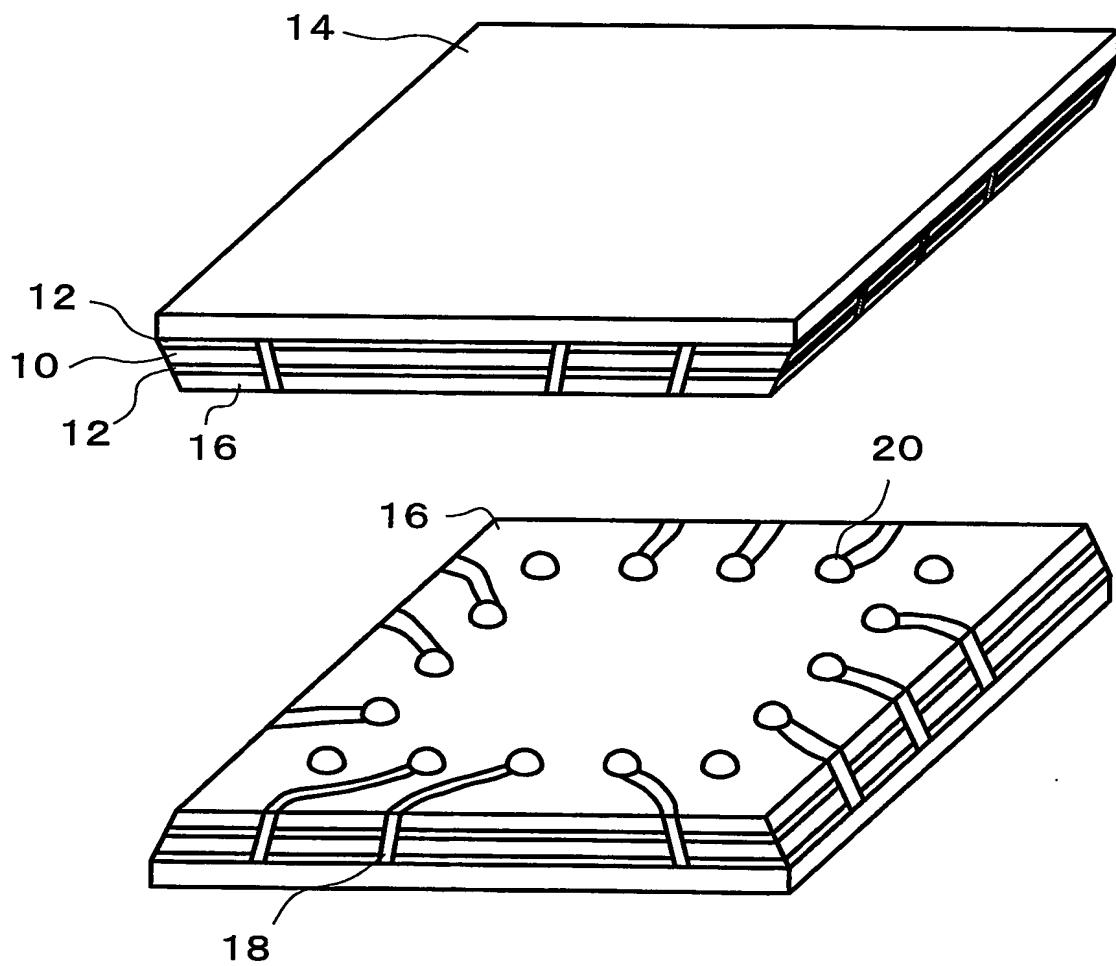


図12B

図13

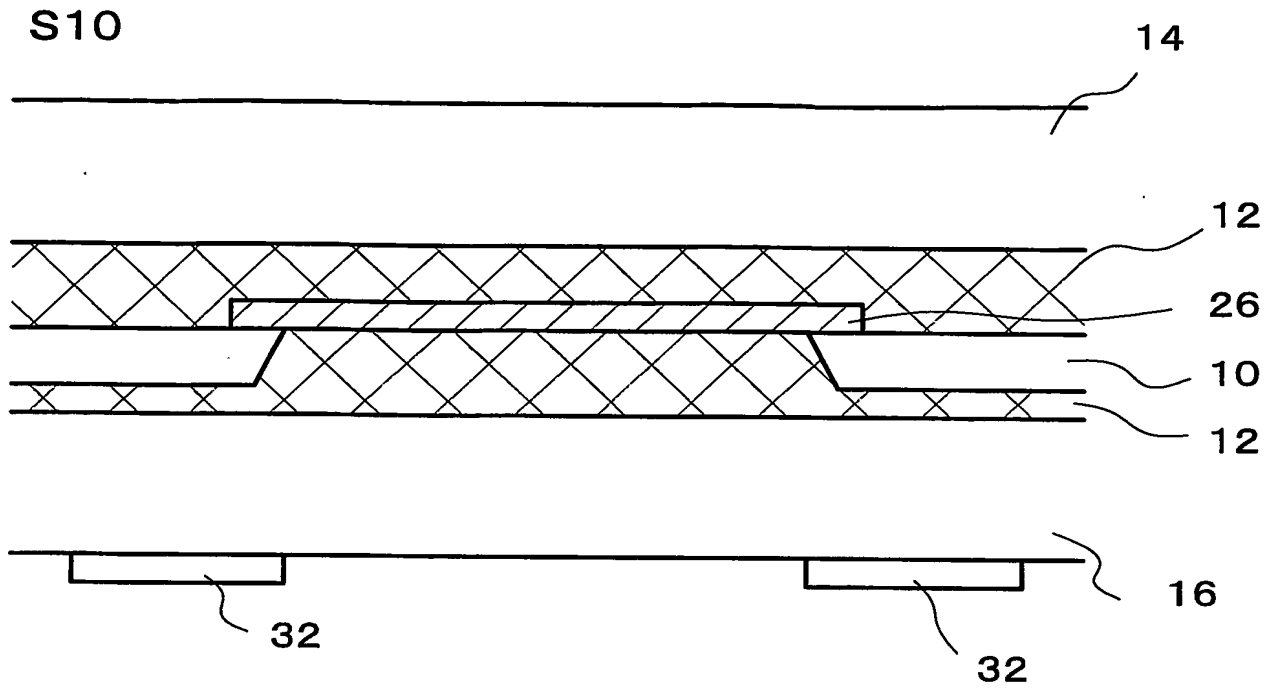


図14

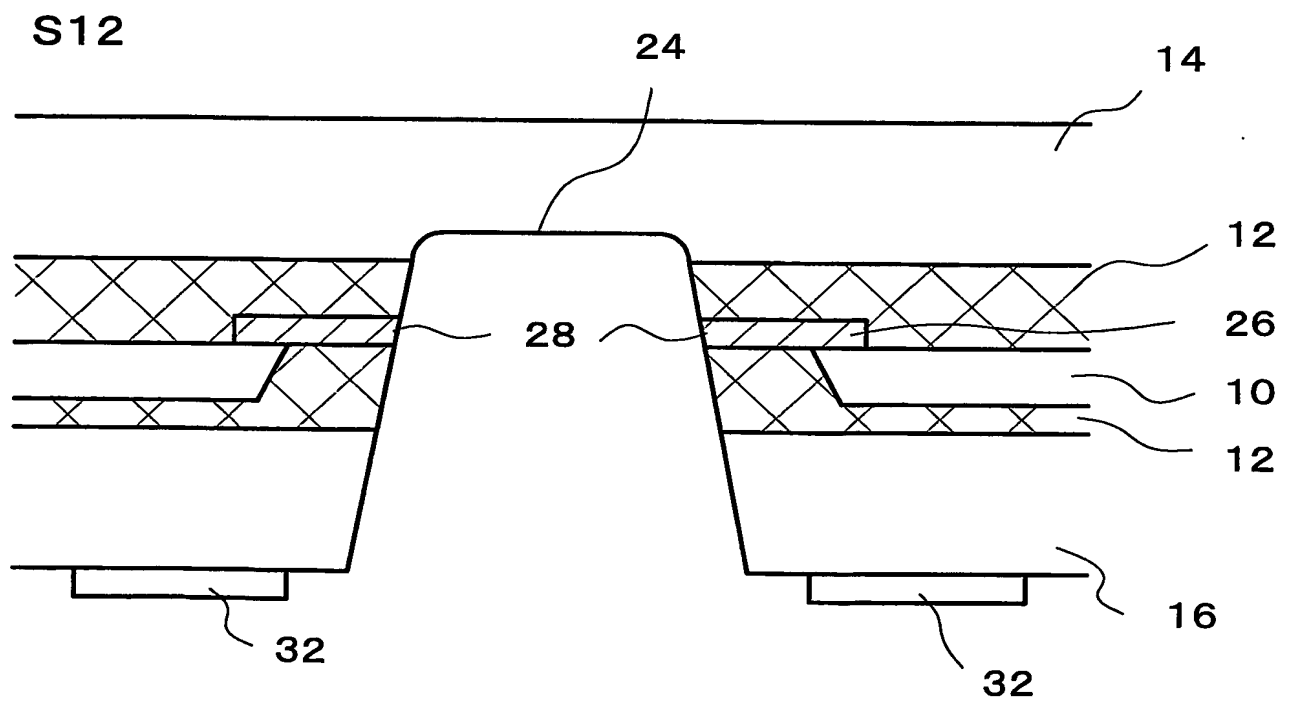


図17

S18

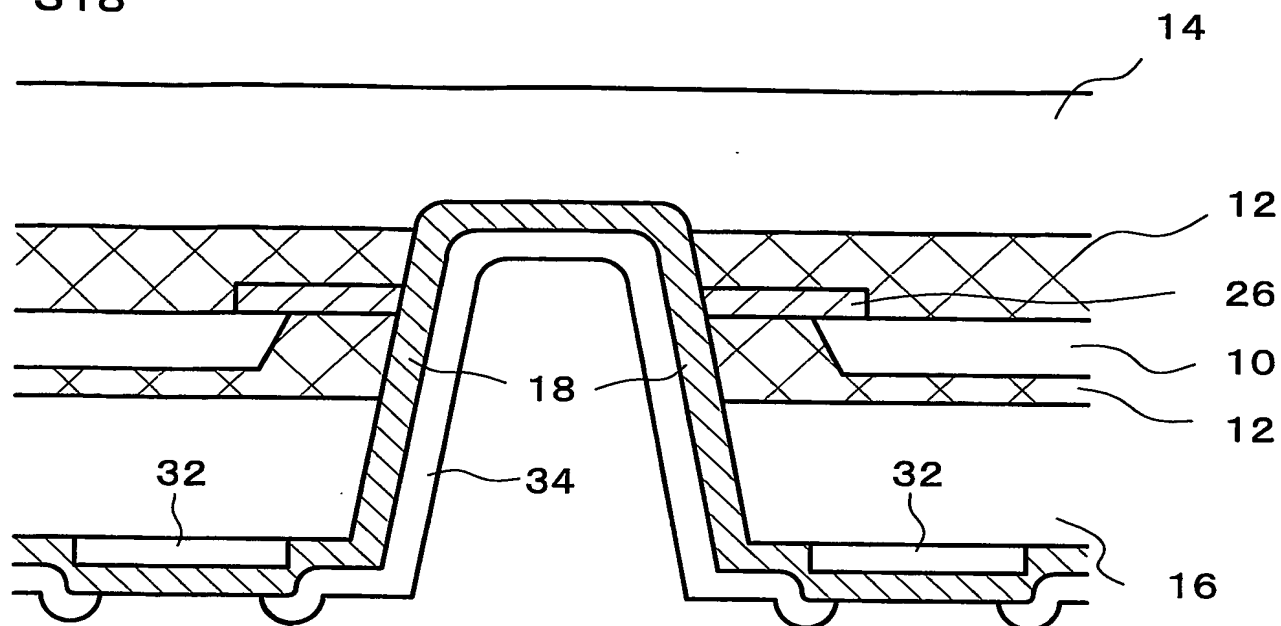
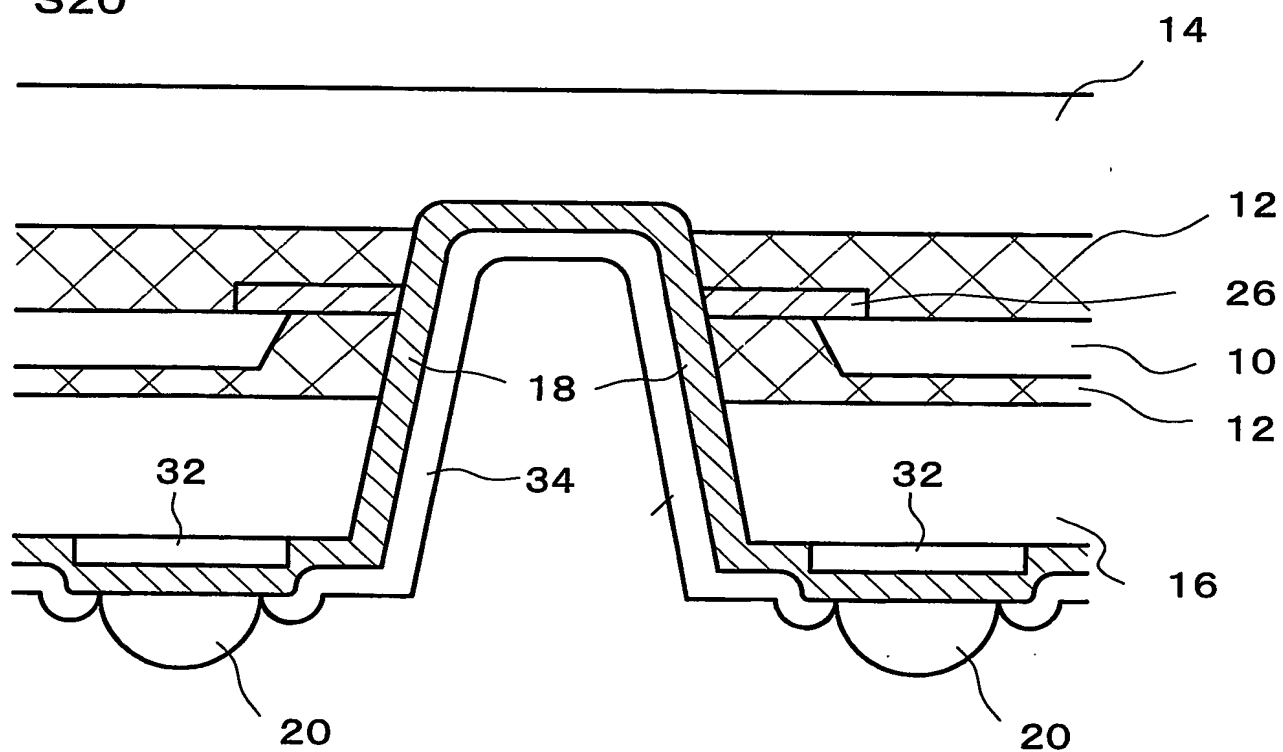


図18

S20



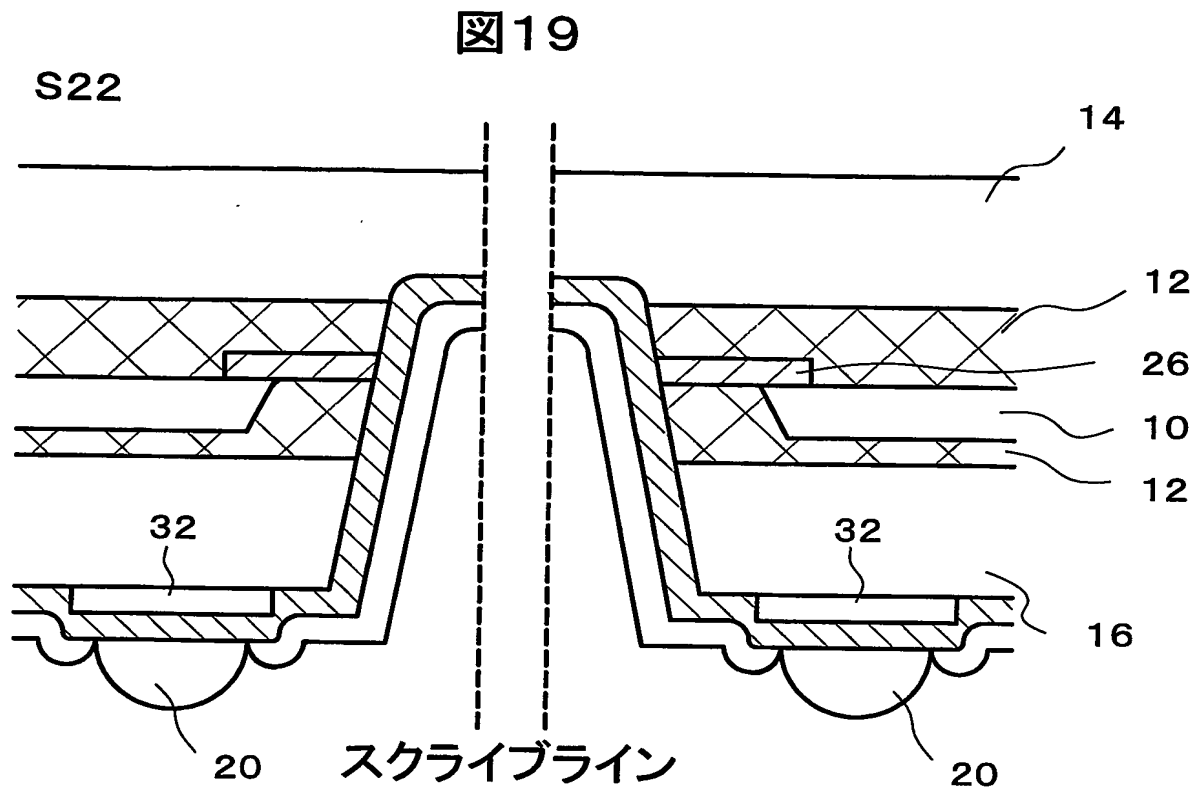
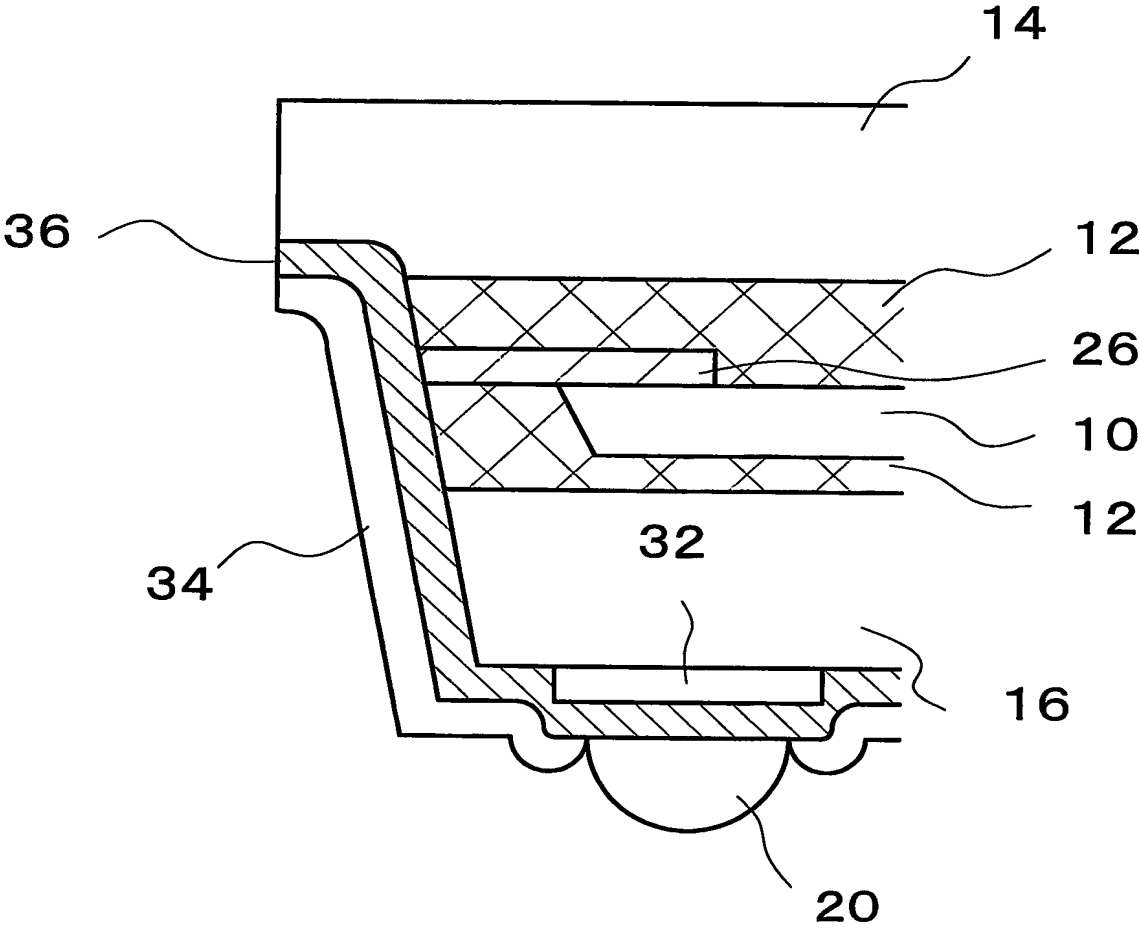


図20



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/14363

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L23/12, H01L21/3205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/0047210 A1 (Yamada et al.), 25 April, 2002 (25.04.02), Full text; all drawings & JP 2002-217331 A	1-7
A	US 5606198 A (Yamada Corp.), 25 February, 1997 (25.02.97), & JP 7-169796 A	1-7
A	JP 2001-223288 A (Yamaha Corp.), 17 August, 2001 (17.08.01), (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 December, 2003 (08.12.03)	Date of mailing of the international search report 24 December, 2003 (24.12.03)
---	--

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L23/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L23/12 H01L21/3205

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 2002/0047210 A1 (Yamada et al.) 2002. 04. 25, 全文, 全図 & JP 2002-217331 A	1-7
A	US 5606198 A (Yamaha Corporation) 1997. 02. 25 & JP 7-169796 A	1-7
A	JP 2001-223288 A (ヤマハ株式会社) 2001. 08. 17 (ファミリーなし)	1-7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

08. 12. 03

国際調査報告の発送日

24.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

4R

9265

電話番号 03-3581-1101 内線 6738